

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-245792  
 (43)Date of publication of application : 30.08.2002

(51)Int.Cl. G11C 29/00

(21)Application number : 2002-034518 (71)Applicant : SAMSUNG ELECTRONICS CO LTD

(22)Date of filing : 12.02.2002 (72)Inventor : LEE JAE-GOO

(30)Priority

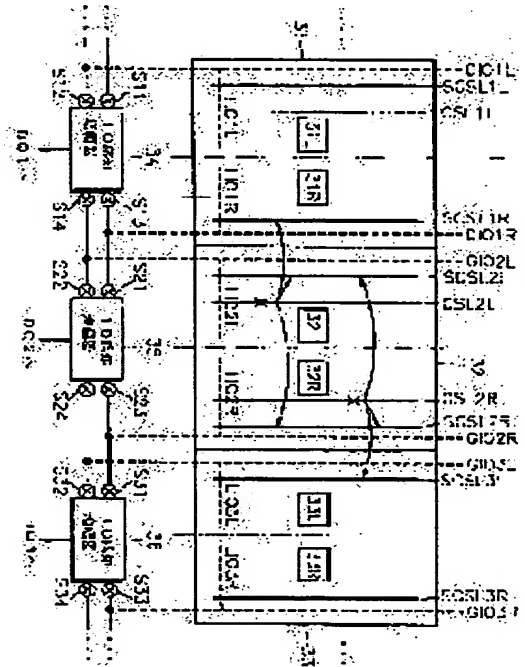
Priority number : 2001 200107276 Priority date : 14.02.2001 Priority country : KR

(54) INTEGRATED CIRCUIT MEMORY DEVICE, SEMICONDUCTOR MEMORY, AND ITS OPERATION METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor memory in which repair efficiency and versatility are improved, constitution is unity, and which has column redundant scheme of which data access speed is fast.

SOLUTION: This device is provided with a plurality of input/output blocks which is divided into first and second blocks comprising a plurality of memory cells, column selecting lines for normal operation, spare column selecting lines for repair, and which comprises first local input output lines/first global input output lines taking charge of the first block and second local input output lines/second global input output lines taking charge of the second blocks. A defective column selecting line in the prescribed input output block is replaced by not only a spare column selecting line in the self-input-output block but a spare column selecting line in adjacent input output block.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-245792

(P2002-245792A)

(43) 公開日 平成14年8月30日 (2002.8.30)

(51) Int.Cl.

G11C 29/00

識別記号

603

F I

G11C 29/00

テーマコード(参考)

603F 5L106

審査請求 未請求 請求項の数26 O L (全 11 頁)

(21) 出願番号 特願2002-34518(P2002-34518)

(22) 出願日 平成14年2月12日 (2002.2.12)

(31) 優先権主張番号 2001-007276

(32) 優先日 平成13年2月14日 (2001.2.14)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 李 再 九

大韓民国京畿道城南市盆唐区九美洞110番地

(74) 代理人 100086368

弁理士 萩原 誠

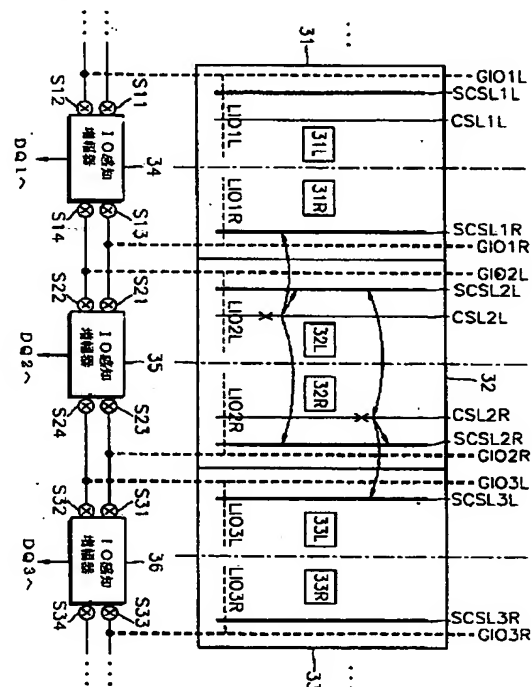
Fターム(参考) 5L106 CC04 CC12 CC13 CC17

(54) 【発明の名称】 集積回路メモリ装置、半導体メモリ装置及びその動作方法

(57) 【要約】

【課題】 リバア効率及び融通性を向上させ、構造が均一であるほか、データアクセス速度が速いカラム冗長スキームを有する半導体メモリ装置及びその動作方法を提供する。

【解決手段】 各々複数個のメモリセルと正常動作のためのカラム選択ライン及びリバアのためのスペアカラム選択ラインを含む第1及び第2ブロックに両分され、前記第1ブロックを担当する第1ローカル入出力ライン/第1グローバル入出力ライン及び前記第2ブロックを担当する第2ローカル入出力ライン/第2グローバル入出力ラインを別途に含む複数個の入出力ブロックを備える。所定の入出力ブロック内の不良カラム選択ラインは、自分の入出力ブロック内のスペアカラム選択ラインだけでなく、隣り合う入出力ブロック内のスペアカラム選択ラインにも取り替えられる。



## 【特許請求の範囲】

【請求項1】 基本カラム選択ラインに応答して各々の入出力ラインに／から接続／分離される複数個の基本メモリセル及び冗長カラム選択ラインに応答して前記各々の入出力ラインに／から接続／分離される複数個の冗長メモリセルを含む複数個のブロックとして配置される複数個のメモリセルと、

前記基本カラム選択ライン及び前記冗長カラム選択ラインに接続され、第1カラムアドレスの入力に応答して第1基本カラム選択ラインを駆動し、第2カラムアドレスの入力に応答して前記第1基本カラム選択ラインの代わりに第1冗長カラム選択ラインを駆動するカラム選択回路と、

複数個の感知増幅器と、

前記第1基本カラム選択ラインとかかわった第1基本メモリセルは前記第1カラムアドレスの入力に応答して感知増幅器に接続され、前記第1冗長カラム選択ラインとかかわった第1冗長メモリセルは前記第2カラムアドレスの入力に応答して前記感知増幅器に接続されるように前記入出力ラインを感知増幅器に選択的に接続させる入出力制御回路とを備えることを特徴とする集積回路メモリ装置。

【請求項2】 前記各々の複数本の入出力ラインは前記各々の複数個のブロックとかかわり、前記第1基本メモリセル及び前記第1冗長メモリセルは同一のブロック内にあり、前記入出力制御回路は前記同一のブロックとかかわった複数本の入出力ラインを介して前記第1基本メモリセル及び前記第1冗長メモリセルを感知増幅器に接続させることを特徴とする請求項1に記載の集積回路メモリ装置。

【請求項3】 前記各々の複数本の入出力ラインは前記各々の複数個のブロックとかかわり、前記第1基本メモリセル及び前記第1冗長メモリセルは各々の第1及び第2ブロック内にあり、前記入出力制御回路は前記各々の第1及び第2ブロックとかかわった第1及び第2入出力ラインを介して前記第1基本メモリセル及び前記第1冗長メモリセルを感知増幅器に接続させることを特徴とする請求項1に記載の集積回路メモリ装置。

【請求項4】 前記入出力制御回路は、前記入出力ラインを前記複数個の感知増幅器に／から接続／分離させる複数個のスイッチと、この複数個のスイッチを制御するスイッチ制御回路とを備えることを特徴とする請求項1に記載の集積回路メモリ装置。

【請求項5】 前記スイッチ制御回路はヒューズによりプログラム可能であることを特徴とする請求項4に記載の集積回路メモリ装置。

【請求項6】 各々複数個のメモリセルを含む第1及び第2ブロックに両分され、前記第1ブロックを担当する第1ローカル入出力ライン／第1グローバル入出力ライ

ン及び前記第2ブロックを担当する第2ローカル入出力ライン／第2グローバル入出力ラインを別途に含む複数個の入出力ブロックを備え、

前記第1ローカル入出力ライン／第1グローバル入出力ラインを介して前記第1ブロック内のメモリセルにデータが入出力され、前記第2ローカル入出力ライン／第2グローバル入出力ラインを介して前記第2ブロック内のメモリセルにデータが入出力されることを特徴とする半導体メモリ装置。

【請求項7】 前記第1ブロック及び第2ブロックの各々は正常動作のためのカラム選択ライン及びリベアのためのスペアカラム選択ラインを備え、

所定の入出力ブロックの第1ブロック内の不良カラム選択ラインが前記所定の入出力ブロックの第1ブロック内のスペアカラム選択ライン、前記所定の入出力ブロックの第2ブロック内のスペアカラム選択ライン、及び前記所定の入出力ブロックに隣接する入出力ブロックの第2ブロック内のスペアカラム選択ラインのうちいずれか一本に取り替えられることを特徴とする請求項6に記載の半導体メモリ装置。

【請求項8】 前記所定の入出力ブロックの第2ブロック内の不良カラム選択ラインは前記所定の入出力ブロックの第1ブロック内のスペアカラム選択ライン、前記所定の入出力ブロックの第2ブロック内のスペアカラム選択ライン、及び前記所定の入出力ブロックに隣接する他の入出力ブロックの第1ブロック内のスペアカラム選択ラインのうちいずれか一本に取り替えられることを特徴とする請求項7に記載の半導体メモリ装置。

【請求項9】 前記所定の入出力ブロックの第1ブロック内の不良カラム選択ラインが前記隣接する入出力ブロックの第2ブロック内のスペアカラム選択ラインに取り替えられる場合には、前記隣接する入出力ブロック内において一つのカラムアドレスによりカラム選択ラインのうちいずれか一本及びスペアカラム選択ラインのうちいずれか一本が同時に活性化されることを特徴とする請求項7に記載の半導体メモリ装置。

【請求項10】 前記所定の入出力ブロックの第2ブロック内の不良カラム選択ラインが前記隣接する他の入出力ブロックの第1ブロック内のスペアカラム選択ラインに取り替えられる場合には、前記隣接する他の入出力ブロック内において一つのカラムアドレスによりカラム選択ラインのうちいずれか一本及びスペアカラム選択ラインのうちいずれか一本が同時に活性化されることを特徴とする請求項8に記載の半導体メモリ装置。

【請求項11】 前記入出力ブロックの各々を担当する複数個の入出力感知増幅器と、

前記所定の入出力ブロックの第1ブロック内の不良カラム選択ラインが前記隣接する入出力ブロックの第2ブロック内のスペアカラム選択ラインに取り替えられる場合には、前記隣接する入出力ブロックの第2グローバル入

出力ラインを前記所定の入出力ブロックを担当する入出力感知増幅器に接続させるスイッチング制御部とをさらに備えることを特徴とする請求項7に記載の半導体メモリ装置。

【請求項12】 前記スイッチング制御部は、前記所定の入出力ブロックの第1ブロック内の不良カラム選択ラインが前記所定の入出力ブロックの第1ブロック内のスベアカラム選択ラインに取り替えられる場合には、前記所定の入出力ブロックの第1グローバル入出力ラインを前記所定の入出力ブロックを担当する入出力感知増幅器に接続させることを特徴とする請求項11に記載の半導体メモリ装置。

【請求項13】 前記スイッチング制御部は、前記所定の入出力ブロックの第1ブロック内の不良カラム選択ラインが前記所定の入出力ブロックの第2ブロック内のスベアカラム選択ラインに取り替えられる場合には、前記所定の入出力ブロックの第2グローバル入出力ラインを前記所定の入出力ブロックを担当する入出力感知増幅器に接続させることを特徴とする請求項12に記載の半導体メモリ装置。

【請求項14】 前記スイッチング制御部は、第1制御信号の活性化にตอบสนองして前記隣接する入出力ブロックの第2グローバル入出力ラインを前記所定の入出力ブロックを担当する入出力感知増幅器に接続させる第1スイッチと、第2制御信号の活性化にตอบสนองして前記所定の入出力ブロックの第1グローバル入出力ラインを前記所定の入出力ブロックを担当する入出力感知増幅器に接続させる第2スイッチと、第3制御信号の活性化にตอบสนองして前記所定の入出力ブロックの第2グローバル入出力ラインを前記所定の入出力ブロックを担当する入出力感知増幅器に接続させる第3スイッチと、前記第1ないし第3制御信号を生じる制御信号発生回路とを備え、

前記第1制御信号は前記所定の入出力ブロックの第1ブロック内の不良カラム選択ラインが前記隣接する入出力ブロックの第2ブロック内のスベアカラム選択ラインに取り替えられる時に活性化され、前記第2制御信号は前記所定の入出力ブロックの第1ブロック内の不良カラム選択ラインが前記所定の入出力ブロックの第1ブロック内のスベアカラム選択ラインに取り替えられる時に活性化され、前記第3制御信号は前記所定の入出力ブロックの第1ブロック内の不良カラム選択ラインが前記所定の入出力ブロックの第2ブロック内のスベアカラム選択ラインに取り替えられる時に活性化されることを特徴とする請求項13に記載の半導体メモリ装置。

【請求項15】 各々複数個のメモリセルと正常動作のためのカラム選択ライン及びリベアのためのスベアカラム選択ラインを含む第1及び第2ブロックに両分され、

前記第1ブロックを担当する第1ローカル入出力ライン／第1グローバル入出力ライン及び前記第2ブロックを担当する第2ローカル入出力ライン／第2グローバル入出力ラインを別途に含む複数個の入出力ブロックを備え、

所定の入出力ブロックの第1ブロック内の不良カラム選択ラインが前記所定の入出力ブロックの第1ブロック内のスベアカラム選択ライン、前記所定の入出力ブロックの第2ブロック内のスベアカラム選択ライン、及び前記所定の入出力ブロックに隣接する入出力ブロックの第2ブロック内のスベアカラム選択ラインのうちいずれか一本に取り替えられることを特徴とする半導体メモリ装置。

【請求項16】 前記所定の入出力ブロックの第2ブロック内の不良カラム選択ラインは前記所定の入出力ブロックの第1ブロック内のスベアカラム選択ライン、前記所定の入出力ブロックの第2ブロック内のスベアカラム選択ライン及び前記所定の入出力ブロックに隣接する他の入出力ブロックの第1ブロック内のスベアカラム選択ラインのうちいずれか一本に取り替えられることを特徴とする請求項15に記載の半導体メモリ装置。

【請求項17】 前記所定の入出力ブロックの第1ブロック内の不良カラム選択ラインが前記隣接する入出力ブロックの第2ブロック内のスベアカラム選択ラインに取り替えられる場合には、前記隣接する入出力ブロック内において一つのカラムアドレスによりカラム選択ラインのうちいずれか一本及びスベアカラム選択ラインのうちいずれか一本が同時に活性化されることを特徴とする請求項15に記載の半導体メモリ装置。

【請求項18】 前記所定の入出力ブロックの第2ブロック内の不良カラム選択ラインが前記隣接する他の入出力ブロックの第1ブロック内のスベアカラム選択ラインに取り替えられる場合には、前記隣接する他の入出力ブロック内において一つのカラムアドレスによりカラム選択ラインのうちいずれか一本及びスベアカラム選択ラインのうちいずれか一本が同時に活性化されることを特徴とする請求項16に記載の半導体メモリ装置。

【請求項19】 前記入出力ブロックの各々を担当する複数個の入出力感知増幅器と、前記所定の入出力ブロックの第1ブロック内の不良カラム選択ラインが前記隣接する入出力ブロックの第2ブロック内のスベアカラム選択ラインに取り替えられる場合には、前記隣接する入出力ブロックの第2グローバル入出力ラインを前記所定の入出力ブロックを担当する入出力感知増幅器に接続させるスイッチング制御部とをさらに備えることを特徴とする請求項15に記載の半導体メモリ装置。

【請求項20】 前記スイッチング制御部は、前記所定の入出力ブロックの第1ブロック内の不良カラム選択ラインが前記所定の入出力ブロックの第1ブロッ

ク内のスベアカラム選択ラインに取り替えられる場合には、前記所定の入出力ブロックの第1グローバル入出力ラインを前記所定の入出力ブロックを担当する入出力感知増幅器に接続させることを特徴とする請求項19に記載の半導体メモリ装置。

【請求項21】 前記スイッチング制御部は、前記所定の入出力ブロックの第1ブロック内の不良カラム選択ラインが前記所定の入出力ブロックの第2ブロック内のスベアカラム選択ラインに取り替えられる場合には、前記所定の入出力ブロックの第2グローバル入出力ラインを前記所定の入出力ブロックを担当する入出力感知増幅器に接続させることを特徴とする請求項20に記載の半導体メモリ装置。

【請求項22】 前記スイッチング制御部は、第1制御信号の活性化にตอบสนองして前記隣接する入出力ブロックの第2グローバル入出力ラインを前記所定の入出力ブロックを担当する入出力感知増幅器に接続させる第1スイッチと、第2制御信号の活性化にตอบสนองして前記所定の入出力ブロックの第1グローバル入出力ラインを前記所定の入出力ブロックを担当する入出力感知増幅器に接続させる第2スイッチと、第3制御信号の活性化にตอบสนองして前記所定の入出力ブロックの第2グローバル入出力ラインを前記所定の入出力ブロックを担当する入出力感知増幅器に接続させる第3スイッチと、前記第1ないし第3制御信号を生じる制御信号発生回路とを備え、

前記第1制御信号は前記所定の入出力ブロックの第1ブロック内の不良カラム選択ラインが前記隣接する入出力ブロックの第2ブロック内のスベアカラム選択ラインに取り替えられる時に活性化され、前記第2制御信号は前記所定の入出力ブロックの第1ブロック内の不良カラム選択ラインが前記所定の入出力ブロックの第1ブロック内のスベアカラム選択ラインに取り替えられる時に活性化され、前記第3制御信号は前記所定の入出力ブロックの第1ブロック内の不良カラム選択ラインが前記所定の入出力ブロックの第2ブロック内のスベアカラム選択ラインに取り替えられる時に活性化されることを特徴とする請求項21に記載の半導体メモリ装置。

【請求項23】 基本カラム選択ラインにตอบสนองして各々の入出力ラインに／から接続／分離される複数の基本メモリセル及び冗長カラム選択ラインにตอบสนองして前記各々の入出力ラインに／から接続／分離される複数の冗長メモリセルを含む複数のブロックとして配置される複数のメモリセルを備えるメモリ装置を動作させる方法において、

第1カラムアドレスの入力にตอบสนองして第1基本カラム選択ラインを駆動する段階と、第2カラムアドレスの入力にตอบสนองして前記第1基本カ

ラム選択ラインの代わりに第1冗長カラム選択ラインを駆動する段階と、

前記第1基本カラム選択ラインとかかわった第1基本メモリセルは前記第1カラムアドレスの入力にตอบสนองして感知増幅器に接続され、前記第1冗長カラム選択ラインとかかわった第1冗長メモリセルは前記第2カラムアドレスの入力にตอบสนองして前記感知増幅器に接続されるように入出力ラインを感知増幅器に選択的に接続させる段階とを備えることを特徴とするメモリ装置の動作方法。

【請求項24】 前記各々の複数の入出力ラインは前記各々の複数のブロックとかかわり、前記第1基本メモリセル及び前記第1冗長メモリセルは同一のブロック内にあり、前記入出力ラインを感知増幅器に選択的に接続させる段階は前記同一のブロックとかかわった複数の入出力ラインを介して前記第1基本メモリセル及び前記第1冗長メモリセルを前記感知増幅器に接続させる段階を含むことを特徴とする請求項23に記載のメモリ装置の動作方法。

【請求項25】 前記各々の複数の入出力ラインは前記各々の複数のブロックとかかわり、前記第1基本メモリセル及び前記第1冗長メモリセルは各々の第1及び第2ブロック内にあり、前記入出力ラインを感知増幅器に選択的に接続させる段階は前記各々の第1及び第2ブロックとかかわった第1及び第2入出力ラインを介して前記第1基本メモリセル及び前記第1冗長メモリセルを前記感知増幅器に接続させる段階を含むことを特徴とする請求項23に記載のメモリ装置の動作方法。

【請求項26】 前記入出力ラインを感知増幅器に選択的に接続させる段階は、前記入出力ラインを前記複数の感知増幅器に／から接続／分離させる複数のスイッチを動作させる段階を含み、前記入出力ラインを感知増幅器に選択的に接続させる段階は、前記第1基本カラム選択ラインとかかわった第1基本メモリセルが前記第1カラムアドレスの入力にตอบสนองして感知増幅器に接続され、前記第1冗長カラム選択ラインとかかわった冗長メモリセルが前記第2カラムアドレスの入力にตอบสนองして前記感知増幅器に接続されるように前記複数のスイッチを制御するためにスイッチ制御回路をプログラミングする段階が先行されることを特徴とする請求項23に記載のメモリ装置の動作方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は集積回路メモリ装置、半導体メモリ装置及びその動作方法に係り、特に、半導体メモリ装置のカラム冗長スキームに関する。

【0002】

【従来の技術】半導体メモリ装置は、正常メモリセルに不良がある時にこれを取り替えるためにスベアメモリセル、すなわち冗長メモリセルを備える。一般に、カラム冗長スキームでは、カラム選択ライン (Column

Select Line; CSL) に接続されている少なくとも一つの正常メモリセルが不良である場合に前記カラム選択ラインがスペアカラム選択ライン (Spare Column Select Line; SCSL) に取り替えられる。すなわち、一つのメモリセルだけ不良であってもカラム選択ラインに接続された全てのメモリセルがスペアカラム選択ラインに接続されているスペアメモリセルに取り替えられる。

【0003】図1は、従来の1対1カラム冗長スキームを示した図である。図1を参照すれば、入出力ブロック11、13の各々は複数個のメモリセルとこれらに接続されるカラム選択ラインCSL及びスペアカラム選択ラインSCSLを含む。カラム選択ラインCSLは正常動作のためのものであり、これらには正常メモリセルが接続される。スペアカラム選択ラインSCSLはリペアのためのものであり、これらにはスペアメモリセル、すなわち冗長メモリセルが接続される。

【0004】また、入出力ブロック11は一本のローカル入出力ラインLIO1及び一本のグローバル入出力ラインGIO1を含み、入出力ブロック13も一本のローカル入出力ラインLIO2及び一本のグローバル入出力ラインGIO2を含む。ローカル入出力ラインLIO1及びグローバル入出力ラインGIO1を介して入出力ブロック11内のメモリセルにデータが入出力され、入出力ラインLIO2及びグローバル入出力ラインGIO2を介して入出力ブロック13内のメモリセルにデータが入出力される。

【0005】図1に示されたような1対1カラム冗長スキームでは、例えば入出力ブロック11内のカラム選択ラインCSL11が不良である場合、すなわちカラム選択ラインCSL11に接続される少なくとも一つのメモリセルM1が不良である場合、カラム選択ラインCSL11はスペアカラム選択ラインSCSL11に取り替えられる。これと同様に、入出力ブロック13内のカラム選択ラインCSL21が不良である場合、すなわちカラム選択ラインCSL21に接続される少なくとも一つのメモリセルが不良である場合、カラム選択ラインCSL21はスペアカラム選択ラインSCSL21に取り替えられる。

【0006】

【発明が解決しようとする課題】ところで、図1に示されたような1対1カラム冗長スキームでは、所定の入出力ブロック内の不良カラム選択ラインは自分の入出力ブロック内のスペアカラム選択ラインだけに取り替えられ、これによりリペア効率及び融通性が落ちるという短所がある。

【0007】図2は、従来のデータラインカラム冗長スキームを示した図である。図2を参照すれば、データラインカラム冗長スキームでは、入出力ブロック21、23がスペアカラム選択ラインSCSLを含まず、スペア

カラム選択ラインSCSLを含む別途の冗長入出力ブロック25が与えられる。

【0008】また、入出力ブロック21は一本のローカル入出力ラインLIO1を含み、入出力ブロック23も一本のローカル入出力ラインLIO2を含む。また、冗長入出力ブロック25も一本のローカル入出力ラインLIO3を含む。一方、グローバル入出力ラインGIOは入出力ブロック21、23及び冗長入出力ブロック25により共有される。

【0009】ローカル入出力ラインLIO1及び共有されたグローバル入出力ラインGIOを介して入出力ブロック21内のメモリセルにデータが入出力され、ローカル入出力ラインLIO2及び共有されたグローバル入出力ラインGIOを介して入出力ブロック23内のメモリセルにデータが入出力される。また、ローカル入出力ラインLIO3及び共有されたグローバル入出力ラインGIOを介して冗長入出力ブロック25内のメモリセルにデータが入出力される。

【0010】図2に示されたようなデータラインカラム冗長スキームでは、入出力ブロック21内のカラム選択ラインCSL11、CSL12が不良である場合、カラム選択ラインCSL11、CSL12は冗長入出力ブロック25内のスペアカラム選択ラインSCSL1、SCSL2に取り替えられる。また、入出力ブロック23内のカラム選択ラインCSL21、CSL22、CSL23が不良である場合、カラム選択ラインCSL21、CSL22、CSL23は冗長入出力ブロック25内のスペアカラム選択ラインSCSL3、SCSL4、SCSL5に取り替えられる。

【0011】従って、図2に示されたようなデータラインカラム冗長スキームでは、入出力ブロック内の不良カラム選択ラインが別途に備わった冗長入出力ブロック内のスペアカラム選択ラインに取り替えられるので、リペア効率及び融通性が向上するという長所がある。しかし、構造が不均一であり、冗長入出力ブロックに対するデータパスの負荷が大きくなるために、データアクセス速度が遅くなるという短所がある。さらに、二つ以上の入出力ブロックにおいて同一のカラムアドレスに該当する二本以上のカラム選択ラインが不良である場合、リペアが不可能であるという短所もある。

【0012】そこで、本発明は、リペア効率及び融通性を向上させ、構造が均一であるほか、データアクセス速度の速いカラム冗長スキームを有する集積回路メモリ装置および半導体メモリ装置を提供することを目的とする。

【0013】さらに、本発明は、前述した従来の技術の短所を解決してリペア効率及び融通性を向上させるメモリ装置の動作方法を提供することを他の目的とする。

【0014】

【課題を解決するための手段】本発明の一面による集積



回路メモリ装置は、基本カラム選択ラインにตอบสนองして各々の入出力ラインに／から接続／分離される複数の基本メモリセル及び冗長カラム選択ラインにตอบสนองして前記各々の入出力ラインに／から接続／分離される複数の冗長メモリセルを含む複数のブロックとして配置される複数のメモリセルと、前記基本カラム選択ライン及び前記冗長カラム選択ラインに接続され、第1カラムアドレスの入力にตอบสนองして第1基本カラム選択ラインを駆動し、第2カラムアドレスの入力にตอบสนองして前記第1基本カラム選択ラインの代わりに第1冗長カラム選択ラインを駆動するカラム選択回路と、複数の感知増幅器と、前記第1基本カラム選択ラインとかかわった第1基本メモリセルは前記第1カラムアドレスの入力にตอบสนองして感知増幅器に接続され、前記第1冗長カラム選択ラインとかかわった第1冗長メモリセルは前記第2カラムアドレスの入力にตอบสนองして前記感知増幅器に接続されるように前記入出力ラインを感知増幅器に選択的に接続させる入出力制御回路とを備えることを特徴とする。

【0015】前記各々の複数の入出力ラインは前記各々の複数のブロックとかかわり、前記第1基本メモリセル及び前記第1冗長メモリセルは同一のブロック内にあり、前記入出力制御回路は前記同一のブロックとかかわった複数の入出力ラインを介して前記第1基本メモリセル及び前記第1冗長メモリセルを感知増幅器に接続させる。

【0016】前記各々の複数の入出力ラインは前記各々の複数のブロックとかかわり、前記第1基本メモリセル及び前記第1冗長メモリセルは各々の第1及び第2ブロック内にあり、前記入出力制御回路は前記各々の第1及び第2ブロックとかかわった第1及び第2入出力ラインを介して前記第1基本メモリセル及び前記第1冗長メモリセルを感知増幅器に接続させる。

【0017】前記入出力制御回路は、前記入出力ラインを前記複数の感知増幅器に／から接続／分離させる複数のスイッチと、この複数のスイッチを制御するスイッチ制御回路とを備える。前記スイッチ制御回路はヒューズによりプログラム可能である。

【0018】本発明の他の一面による半導体メモリ装置は、複数の入出力ブロックを備え、この入出力ブロックは各々複数のメモリセルと正常動作のためのカラム選択ライン及びリペアのためのカラム選択ラインを含む第1及び第2ブロックに両分され、前記第1ブロックを担当する第1ローカル入出力ライン／第1グローバル入出力ライン及び前記第2ブロックを担当する第2ローカル入出力ライン／第2グローバル入出力ラインを別途に備えることを特徴とする。

【0019】前記第1ローカル入出力ライン／第1グローバル入出力ラインを介して前記第1ブロック内のメモリセルにデータが入出力され、前記第2ローカル入出力ライン／第2グローバル入出力ラインを介して前記第2

ブロック内のメモリセルにデータが入出力される。

【0020】また、前記入出力ブロックのうち所定の入出力ブロックの第1ブロック内の不良カラム選択ラインは前記所定の入出力ブロックの第1ブロック内のスペアカラム選択ライン、前記所定の入出力ブロックの第2ブロック内のスペアカラム選択ライン及び前記所定の入出力ブロックに隣接する入出力ブロックの第2ブロック内のスペアカラム選択ラインのうちいずれか一本に取り替えられる。

【0021】前記所定の入出力ブロックの第2ブロック内の不良カラム選択ラインは前記所定の入出力ブロックの第1ブロック内のスペアカラム選択ライン、前記所定の入出力ブロックの第2ブロック内のスペアカラム選択ライン及び前記所定の入出力ブロックに隣接する他の入出力ブロックの第1ブロック内のスペアカラム選択ラインのうちいずれか一本に取り替えられる。

【0022】前記所定の入出力ブロックの第1ブロック内の不良カラム選択ラインが前記隣接する入出力ブロックの第2ブロック内のスペアカラム選択ラインに取り替えられる場合には、前記隣接する入出力ブロック内において一つのカラムアドレスによりカラム選択ラインのうちいずれか一本及びスペアカラム選択ラインのうちいずれか一本が同時に活性化される。

【0023】前記所定の入出力ブロックの第2ブロック内の不良カラム選択ラインが前記隣接する他の入出力ブロックの第1ブロック内のスペアカラム選択ラインに取り替えられる場合には、前記隣接する他の入出力ブロック内において一つのカラムアドレスによりカラム選択ラインのうちいずれか一本及びスペアカラム選択ラインのうちいずれか一本が同時に活性化される。

【0024】一方、前記半導体メモリ装置は、前記入出力ブロックの各々を担当する複数の入出力感知増幅器、及びスイッチング制御部をさらに備える。

【0025】前記スイッチング制御部は、前記所定の入出力ブロックの第1ブロック内の不良カラム選択ラインが前記隣接する入出力ブロックの第2ブロック内のスペアカラム選択ラインに取り替えられる場合には、前記隣接する入出力ブロックの第2グローバル入出力ラインを前記所定の入出力ブロックを担当する入出力感知増幅器に接続させる。

【0026】また、前記スイッチング制御部は、前記所定の入出力ブロックの第1ブロック内の不良カラム選択ラインが前記所定の入出力ブロックの第1ブロック内のスペアカラム選択ラインに取り替えられる場合には、前記所定の入出力ブロックの第1グローバル入出力ラインを前記所定の入出力ブロックを担当する入出力感知増幅器に接続させる。

【0027】また、前記スイッチング制御部は、前記所定の入出力ブロックの第1ブロック内の不良カラム選択ラインが前記所定の入出力ブロックの第2ブロック内の



スベアカラムラインに取り替えられる場合には、前記所定の入出力ブロックの第2グローバル入出力ラインを前記所定の入出力ブロックを担当する入出力感知増幅器に接続させる。

【0028】本発明によるメモリ装置の動作方法は、基本カラム選択ラインにตอบสนองして各々の入出力ラインに／から接続／分離される複数個の基本メモリセル及び冗長カラム選択ラインにตอบสนองして前記各々の入出力ラインに／から接続／分離される複数個の冗長メモリセルを含む複数個のブロックとして配置される複数個のメモリセルを備えるメモリ装置を動作させる方法であって、第1カラムアドレスの入力にตอบสนองして第1基本カラム選択ラインを駆動する段階と、第2カラムアドレスの入力にตอบสนองして前記第1基本カラム選択ラインの代わりに第1冗長カラム選択ラインを駆動する段階と、前記第1基本カラム選択ラインとかかわった第1基本メモリセルは前記第1カラムアドレスの入力にตอบสนองして感知増幅器に接続され、前記第1冗長カラム選択ラインとかかわった第1冗長メモリセルは前記第2カラムアドレスの入力にตอบสนองして前記感知増幅器に接続されるように入出力ラインを感知増幅器に選択的に接続させる段階とを備えることを特徴とする。

【0029】前記各々の複数本の入出力ラインは前記各々の複数個のブロックとかかわり、前記第1基本メモリセル及び前記第1冗長メモリセルは同一のブロック内にあり、前記入出力ラインを感知増幅器に選択的に接続させる段階は前記同一のブロックとかかわった複数本の入出力ラインを介して前記第1基本メモリセル及び前記第1冗長メモリセルを前記感知増幅器に接続させる段階を含む。

【0030】前記各々の複数本の入出力ラインは前記各々の複数個のブロックとかかわり、前記第1基本メモリセル及び前記第1冗長メモリセルは各々の第1及び第2ブロック内にあり、前記入出力ラインを感知増幅器に選択的に接続させる段階は前記各々の第1及び第2ブロックとかかわった第1及び第2入出力ラインを介して前記第1基本メモリセル及び前記第1冗長メモリセルを前記感知増幅器に接続させる段階を含む。

【0031】前記入出力ラインを感知増幅器に選択的に接続させる段階は、前記入出力ラインを前記複数個の感知増幅器に接続させるとともに前記複数個の感知増幅器から分離する複数個のスイッチを動作させる段階を含み、前記入出力ラインを感知増幅器に選択的に接続させる段階は前記第1基本カラム選択ラインとかかわった第1基本メモリセルが前記第1カラムアドレスの入力にตอบสนองして感知増幅器に接続され、前記第1冗長カラム選択ラインとかかわった冗長メモリセルが前記第2カラムアドレスの入力にตอบสนองして前記感知増幅器に接続されるように入出力ラインを感知増幅器に選択的に接続させる段階とを備えることを特徴とする。

## 【0032】

【発明の実施の形態】以下、添付した図面を参照して本発明の実施形態を詳細に説明する。なお、下記の実施形態では特定の用語が使用されるが、これは単に本発明を説明するために使用されるものであり、意味の限定や特許請求の範囲上に記載された本発明の範囲を制限するために使用されるものではない。従って、この技術分野の通常の知識を有した者であれば、下記の実施形態より各種の変形及び均等な他の実施形態が可能であるという点を理解できるであろう。よって、本発明の真の技術的な保護範囲は特許請求の範囲上の技術的な思想によって定まるべきである。

【0033】図3を参照すれば、本発明による半導体メモリ装置において、入出力ブロック31、32、33の各々は第1ブロック31L、32L、33L及び第2ブロック31R、32R、33Rに両分される。第1ブロック31L、32L、33L及び第2ブロック31R、32R、33Rの各々は複数個のメモリセルとこれらに接続されるカラム選択ラインCSL及びスベアカラム選択ラインSCSLを含む。カラム選択ラインCSLは正常動作のためのものであり、これらには正常メモリセルが接続される。スベアカラム選択ラインSCSLはリベアのためのものであり、これらにはスベアメモリセル、すなわち冗長メモリセルが接続される。

【0034】また、入出力ブロック31、32、33の各々は二本のローカル入出力ライン及び二本のグローバル入出力ラインを含む。すなわち、入出力ブロック31は第1ブロック31Lを担当するローカル入出力ラインLIO1L／グローバル入出力ラインGIO1L及び第2ブロック31Rを担当するローカル入出力ラインLIO1R／グローバル入出力ラインGIO1Rを別途に含む。入出力ブロック32は第1ブロック32Lを担当するローカル入出力ラインLIO2L／グローバル入出力ラインGIO2L及び第2ブロック32Rを担当するローカル入出力ラインLIO2R／グローバル入出力ラインGIO2Rを別途に含む。また、入出力ブロック33は第1ブロック33Lを担当するローカル入出力ラインLIO3L／グローバル入出力ラインGIO3L及び第2ブロック33Rを担当するローカル入出力ラインLIO3R／グローバル入出力ラインGIO3Rを別途に含む。

【0035】従って、入出力ブロック31ではローカル入出力ラインLIO1L／グローバル入出力ラインGIO1Lを介して第1ブロック31L内のメモリセルにデータが入出力され、ローカル入出力ラインLIO1R／グローバル入出力ラインGIO1Rを介して第2ブロック31R内のメモリセルにデータが入出力される。入出力ブロック32ではローカル入出力ラインLIO2L／グローバル入出力ラインGIO2Lを介して第1ブロック32L内のメモリセルにデータが入出力され、ローカ

ル入出力ラインLIO2R／グローバル入出力ラインGIO2Rを介して第2ブロック32R内のメモリセルにデータが入出力される。これと同様に、入出力ブロック33ではローカル入出力ラインLIO3L／グローバル入出力ラインGIO3Lを介して第1ブロック33L内のメモリセルにデータが入出力され、ローカル入出力ラインLIO3R／グローバル入出力ラインGIO3Rを介して第2ブロック33R内のメモリセルにデータが入出力される。

【0036】特に、所定の入出力ブロック、例えば入出力ブロック32の第1ブロック32L内のカラム選択ラインCSL2Lが不良である場合、すなわちカラム選択ラインCSL2Lに接続される少なくとも一つのメモリセルが不良である場合、不良カラム選択ラインCSL2Lは自分の入出力ブロック、すなわち入出力ブロック32の第1ブロック32L内のスベアカラム選択ラインSCSL2L、入出力ブロック32の第2ブロック32R内のスベアカラム選択ラインSCSL2R及び入出力ブロック32に隣接する入出力ブロック31の第2ブロック31R内のスベアカラム選択ラインSCSL1Rのうちいずれか一本に取り替えられる。

【0037】また、入出力ブロック32の第2ブロック32R内のカラム選択ラインCSL2Rが不良である場合には、不良カラム選択ラインCSL2Rは自分の入出力ブロック、すなわち入出力ブロック32の第1ブロック32L内のスベアカラム選択ラインSCSL2L、入出力ブロック32の第2ブロック32R内のスベアカラム選択ラインSCSL2R及び入出力ブロック32に隣接する他の入出力ブロック33の第1ブロック33L内のスベアカラム選択ラインSCSL3Lのうちいずれか一本に取り替えられる。

【0038】入出力ブロック31、33に不良カラム選択ラインが存在する場合にも以上のような方法により不良カラム選択ラインがスベアカラム選択ラインに取り替えられる。

【0039】一方、入出力ブロック32の第1ブロック32L内の不良カラム選択ラインCSL2Lが隣接する入出力ブロック31の第2ブロック31R内のスベアカラム選択ラインSCSL1Rに取り替えられる場合、隣接する入出力ブロック31内では一つのカラムアドレスにより正常アクセスのために使用されるカラム選択ラインCSL1L及びリベアのために使用されるスベアカラム選択ラインSCSL1Rが同時に活性化される。

【0040】また、入出力ブロック32の第2ブロック32R内の不良カラム選択ラインCSL2Rが隣接する他の入出力ブロック33の第1ブロック33L内のスベアカラム選択ラインSCSL3Lに取り替えられる場合、隣接する他の入出力ブロック33内では一つのカラムアドレスにより正常アクセスのために使用されるカラム選択ライン（図示せず）及びリベアのために使用され

るスベアカラム選択ラインSCSL3Lが同時に活性化される。

【0041】一方、本発明による半導体メモリ装置は、スイッチS11ないしS34及びスイッチ制御信号を生じる制御信号発生回路（図4の41）を含むスイッチング制御部及び入出力ブロック31、32、33の各々を担当する入出力感知増幅器34、35、36をさらに備える。この入出力感知増幅器34、35、36は各々所定のパスを介して該当入出力ピンDQ1、DQ2、DQ3に接続される。

【0042】スイッチング制御部はグローバル入出力ラインGIOと入出力感知増幅器34、35、36との間の接続を制御する。より詳細に説明すれば、所定の入出力ブロック、例えば入出力ブロック32の第1ブロック32L内の不良カラム選択ラインCSL2Lが隣接する入出力ブロック31の第2ブロック31R内のスベアカラム選択ラインSCSL1Rに取り替えられる場合には、スイッチS21がターンオンされて隣接する入出力ブロック31のグローバル入出力ラインGIO1Rが入出力ブロック32を担当する入出力感知増幅器35に接続される。

【0043】入出力ブロック32の第1ブロック32L内の不良カラム選択ラインCSL2Lが第1ブロック32L内のスベアカラム選択ラインSCSL2Lに取り替えられる場合には、スイッチS22がターンオンされて入出力ブロック32のグローバル入出力ラインGIO2Lが入出力感知増幅器35に接続される。入出力ブロック32の第1ブロック32L内の不良カラム選択ラインCSL2Lが第2ブロック32R内のスベアカラム選択ラインSCSL2Rに取り替えられる場合には、スイッチS23がターンオンされて入出力ブロック32のグローバル入出力ラインGIO2Rが入出力感知増幅器35に接続される。

【0044】図4は、スイッチング制御部の詳細回路図である。以下、これを参照してスイッチング制御部の構成及び動作についてより詳細に説明する。図4を参照すれば、スイッチング制御部はスイッチS21ないしS24及びスイッチ制御信号C1、C1B、C2、C2B、C1'、C1'B、C2'、C2'Bを生じる制御信号発生回路41を備える。ここでは説明の便宜のために、図3に示されたようなスイッチのうちスイッチS21ないしS24だけが示されており、入出力感知増幅器35も共に示されている。

【0045】GIO1Rは図3に示されたような入出力ブロック31のグローバル入出力ラインGIO1Rを表わし、GIO2L及びGIO2Rは図3に示されたような入出力ブロック32のグローバル入出力ラインGIO2L、GIO2Rを表わし、GIO3Lは図3に示されたような入出力ブロック33のグローバル入出力ラインGIO3Lを表わす。入出力感知増幅器35は、図3に

示されたような入出力ブロック32を担当する入出力感知増幅器35を表わす。

【0046】スイッチS21は第1スイッチ制御信号C1の活性化にตอบสนองして入出力ブロック31のグローバル入出力ラインGIO1Rを入出力感知増幅器35に接続させる。スイッチS22は第2スイッチ制御信号C2の活性化にตอบสนองして入出力ブロック32のグローバル入出力ラインGIO2Lを入出力感知増幅器35に接続させる。スイッチS24はさらに他の第1スイッチ制御信号C1'の活性化にตอบสนองして入出力ブロック33のグローバル入出力ラインGIO3Lを入出力感知増幅器35に接続させる。スイッチS23はさらに他の第2スイッチ制御信号C2'の活性化にตอบสนองして入出力ブロック32のグローバル入出力ラインGIO2Rを入出力感知増幅器35に接続させる。

【0047】制御信号発生回路41はANDゲートAND1、AND2、AND3、ORゲートOR及びインバータI1、I2を含んでなる。ここで、F0及びF0'は不良カラム選択ラインから取り替えられたスペアカラム選択ラインが存在する入出力ブロックの位置を表わす信号であり、F1及びF1'は半導体メモリ装置の外部から印加されるカラムアドレスが不良カラム選択ラインに対するアドレスであるかどうかを表わす信号である。この信号F0、F0'、F1、F1'は冗長ヒューズブロック（図示せず）においてヒューズが切れることにより生じる。CMSBはカラムアドレスの最上位ビットであり、所定の入出力ブロックの内部の第1ブロックまたは第2ブロックの位置を表わす信号である。

【0048】より詳細に説明すれば、信号F0（またはF0'）は所定の入出力ブロックに不良カラム選択ラインから取り替えられたスペアカラム選択ラインが存在する場合に論理“ロー”となり、前記所定の入出力ブロックに隣接する入出力ブロックに不良カラム選択ラインから取り替えられたスペアカラム選択ラインが存在する場合には論理“ハイ”となる。信号F1（またはF1'）はカラムアドレスが不良カラム選択ラインに対するアドレスである場合には論理“ハイ”となり、そうでない場合には論理“ロー”となる。信号CMSBは所定の入出力ブロックの内部の第1ブロックの位置を表わす場合には論理“ハイ”となり、所定の入出力ブロックの内部の第2ブロックの位置を表わす場合には論理“ロー”となる。

【0049】以下、図4を参照してスイッチング制御部の全体的な動作について詳細に説明する。第1に、所定の入出力ブロック、例えば図3において入出力ブロック32の第1ブロック32Lに不良カラム選択ラインCSL2Lが存在するものの、外部から印加されるカラムアドレスが前記不良カラム選択ラインCSL2Lに対するアドレスではない場合には、信号F0は論理“ロー”となり、信号F1も論理“ロー”となり、信号CMSBは

論理“ハイ”となる。これにより、第1スイッチ制御信号C1が論理“ロー”となり、第1スイッチ制御信号の反転信号C1Bが論理“ハイ”となる。また、第2スイッチ制御信号C2は論理“ハイ”となり、第2スイッチ制御信号の反転信号C2Bは論理“ロー”となる。

【0050】従って、スイッチS22はターンオンされ、スイッチS21はターンオフされる。その結果、入出力ブロック32のグローバル入出力ラインGIO2Lが入出力感知増幅器35に接続される。この場合、感知増幅器35はグローバル入出力ラインGIO2Lを介して入出力ブロック32の第1ブロック32L内の正常カラム選択ラインに接続されたメモリセルをアクセスする。

【0051】第2に、入出力ブロック32の第1ブロック32Lに不良カラム選択ラインCSL2Lが存在し、不良カラム選択ラインCSL2Lが自分の入出力ブロック32の第1ブロック32L内のスペアカラム選択ラインSCSL2Lに取り替えられ、外部から印加されるカラムアドレスが前記不良カラム選択ラインCSL2Lに対するアドレスである場合には、信号F0は論理“ロー”となり、信号F1は論理“ハイ”となり、信号CMSBは論理“ハイ”となる。これにより、第1スイッチ制御信号C1が論理“ロー”となり、第1スイッチ制御信号の反転信号C1Bが論理“ハイ”となる。また、第2スイッチ制御信号C2は論理“ハイ”となり、第2スイッチ制御信号の反転信号C2Bは論理“ロー”となる。

【0052】従って、前記第1の場合と同様に、スイッチS22はターンオンされ、スイッチS21はターンオフされる。その結果、入出力ブロック32のグローバル入出力ラインGIO2Lが入出力感知増幅器35に接続される。この場合には、感知増幅器35はグローバル入出力ラインGIO2Lを介して入出力ブロック32の第1ブロック32L内のスペアカラム選択ラインSCSL2Lに接続されたメモリセルをアクセスする。

【0053】第3に、入出力ブロック32の第1ブロック32Lに不良カラム選択ラインCSL2Lが存在し、不良カラム選択ラインCSL2Lが隣接する入出力ブロック31の第2ブロック31R内のスペアカラム選択ラインSCSL1Rに取り替えられ、外部から印加されるカラムアドレスが前記不良カラム選択ラインCSL2Lに対するアドレスである場合には、信号F0は論理“ハイ”となり、信号F1も論理“ハイ”となり、信号CMSBは論理“ハイ”となる。これにより、第1スイッチ制御信号C1が論理“ハイ”となり、第1スイッチ制御信号の反転信号C1Bが論理“ロー”となる。また、第2スイッチ制御信号C2は論理“ロー”となり、第2スイッチ制御信号の反転信号C2Bは論理“ハイ”となる。

【0054】従って、スイッチS22はターンオフさ

れ、スイッチS21はターンオンされる。その結果、隣接する入出力ブロック31のグローバル入出力ラインGIO1Rが感知増幅器35に接続される。この場合には、感知増幅器35はグローバル入出力ラインGIO1Rを介して隣接する入出力ブロック31の第2ブロック31R内のスペアカラム選択ラインSCSL1Rに接続されたメモリセルをアクセスする。

【0055】第4に、入出力ブロック32の第1ブロック32Lに不良カラム選択ラインCSL2Lが存在し、不良カラム選択ラインCSL2Lが自分の入出力ブロック32の第2ブロック32R内のスペアカラム選択ラインSCSL2Rに取り替えられ、外部から印加されるカラムアドレスが前記不良カラム選択ラインCSL2Lに対するアドレスである場合には、信号F0'は論理“ロー”となり、信号F1'は論理“ハイ”となり、信号CMSBは論理“ハイ”となる。これにより、第1スイッチ制御信号C1'が論理“ロー”となり、第1スイッチ制御信号の反転信号C1'Bが論理“ハイ”となる。また、第2スイッチ制御信号C2'は論理“ハイ”となり、第2スイッチ制御信号の反転信号C2'Bは論理“ロー”となる。

【0056】従って、スイッチS23はターンオンされ、スイッチS24はターンオフされる。その結果、入出力ブロック32のグローバル入出力ラインGIO2Rが入出力感知増幅器35に接続される。この場合には、感知増幅器35はグローバル入出力ラインGIO2Rを介して入出力ブロック32の第2ブロック32R内のスペアカラム選択ラインSCSL2Rに接続されたメモリ

セルをアクセスする。

【0057】

【発明の効果】以上述べたように、本発明では、所定の入出力ブロック内の不良カラム選択ラインが自分の入出力ブロック内のスペアカラム選択ラインだけではなく、隣り合う入出力ブロック内のスペアカラム選択ラインにも取り替えられることから、リペア効率及び融通性が大きく向上するという長所がある。また、構造が均一であり、ローカル入出力ラインが半分に短くなって負荷が減ることから、データアクセス速度が速くなるという長所がある。

【図面の簡単な説明】

【図1】従来の1対1カラム冗長スキームを示した図である。

【図2】従来のデータラインカラム冗長スキームを示した図である。

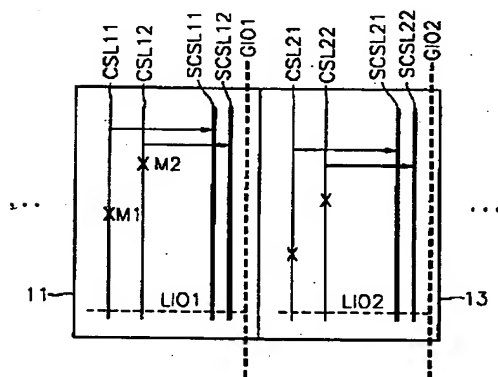
【図3】本発明による半導体メモリ装置の概略的なブロック図である。

【図4】スイッチング制御部の詳細回路図である。

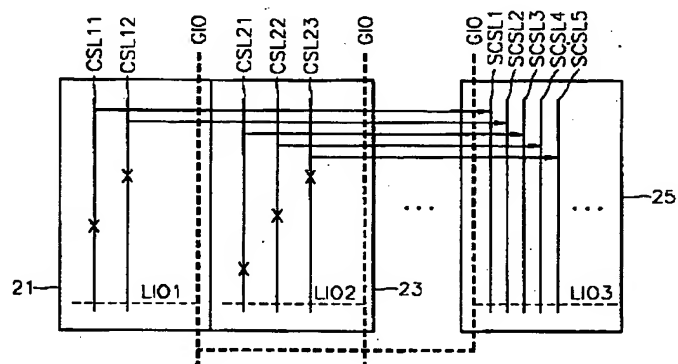
【符号の説明】

31, 32, 33 入出力ブロック  
31L, 32L, 33L 第1ブロック  
31R, 32R, 33R 第2ブロック  
CSL カラム選択ライン  
SCSL スペアカラム選択ライン  
34, 35, 36 入出力感知増幅器  
S11~S34 スイッチ

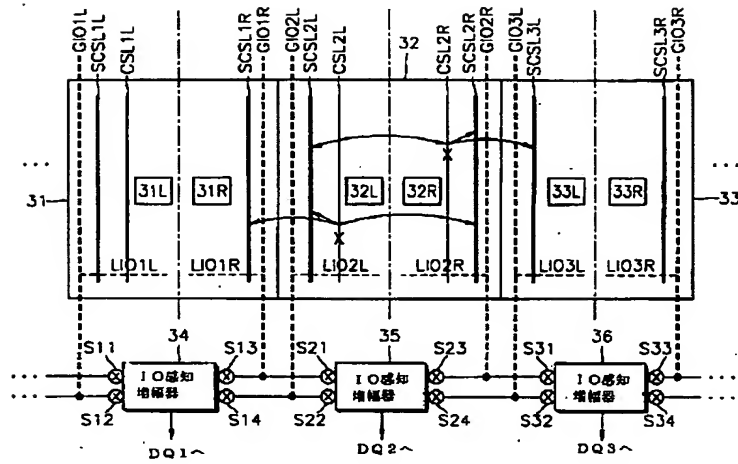
【図1】



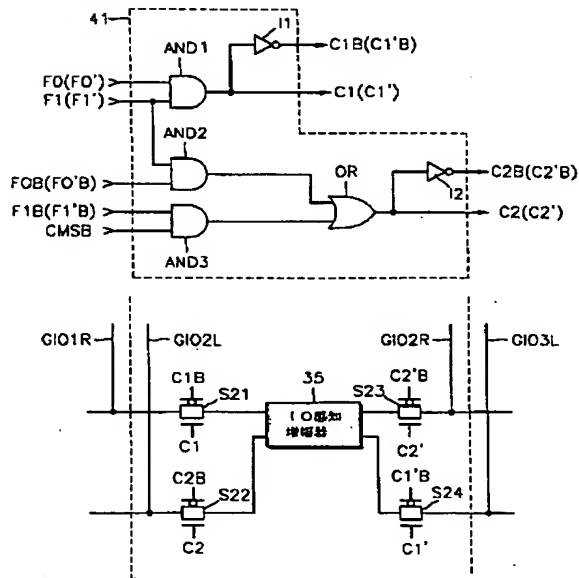
【図2】



【図3】



【図4】



**THIS PAGE BLANK (USPTO)**